

## ■TEG(テスト用)チップ (Test Element Group )

近年、半導体チップの多ピン化・狭ピッチ化が進み、実装工程においてかなりの難易度が求められています。但し、条件出し等に半導体チップを使用する場合、コスト高や入手までに時間が掛かるなど、技術開発を行う際に大きなデメリットとなります。

その為、評価用のダミーチップの使用が一般的であり、弊社ではお客様の仕様や御予算に合わせた各種チップの製作を行っています。

それは、実装分野だけではなく、各種素材開発などの分野にも幅広くご利用戴いております。

# TEG製作仕様

- ご要望の仕様にお応え致します。
- ご支給基板への bumps 加工も致します。
- 基板 (チップ) 加工のみも行います。
- めっき bumps は、極小・高アスペクト比形状に挑戦し続けています。
- スタット bumps は、径 35 ~ 100  $\mu\text{m}$ ・高さ 50  $\mu\text{m}$  以上となります。
- その他、特殊仕様には極力お応え致します。

豊和産業株式会社 営業部

# TEGチップ製品例

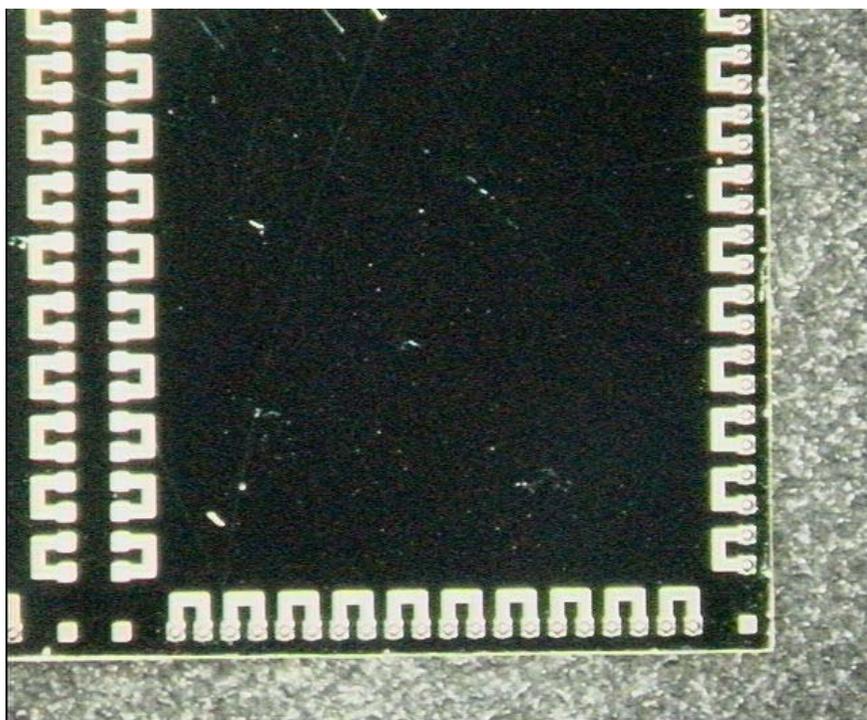
弊社標準TEGチップを例として

①めっき法による bumps 搭載チップ

②金線を用いたスタッド bumps 搭載チップ

それぞれの代表的な構成及び製造工程を  
ご案内致します。

## ■製品例①



### ■仕様

ワーク基板 :  $\phi 6'' \times 0.625\text{mmt}$  Siウエハー

チップサイズ :  $10\text{mm角} \times 0.625\text{mmt}$

配線材料 : Al-Si 1 $\mu\text{m}$ 厚

絶縁材料 : ポリイミド 2 $\mu\text{m}$ 厚

パッド寸法 : 100 $\mu\text{m}$ 角

パッシベーション開口寸法 : 80 $\mu\text{m}$ (八角形)

パッド間ピッチ寸法 : 200 $\mu\text{m}$

バンプ : Au電解メッキバンプ

15~20 $\mu\text{m}$ 高さ

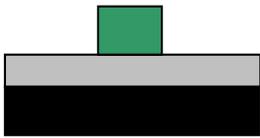
豊和産業株式会社 営業部

# ■試作加工品例（TEGチップ 電解メッキ法）

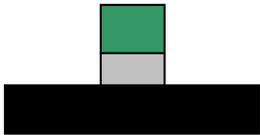
①AL-Si成膜



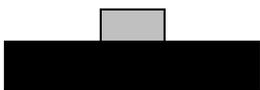
②レジストパターン形成



③AL-Siエッチング



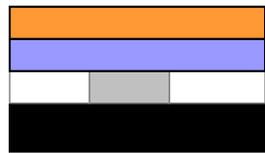
④レジスト剥離



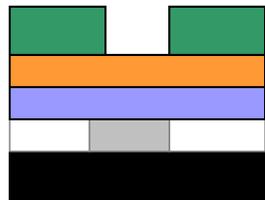
⑤パッシベーション膜パターン形成



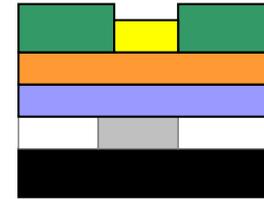
⑥UBM成膜



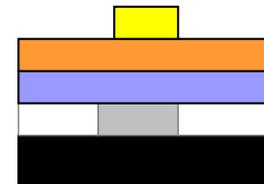
⑦めっき用レジストパターン形成



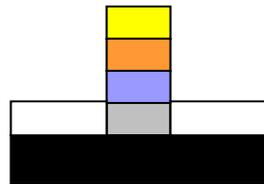
⑧めっき加工



⑨レジスト剥離



⑩UBMエッチング

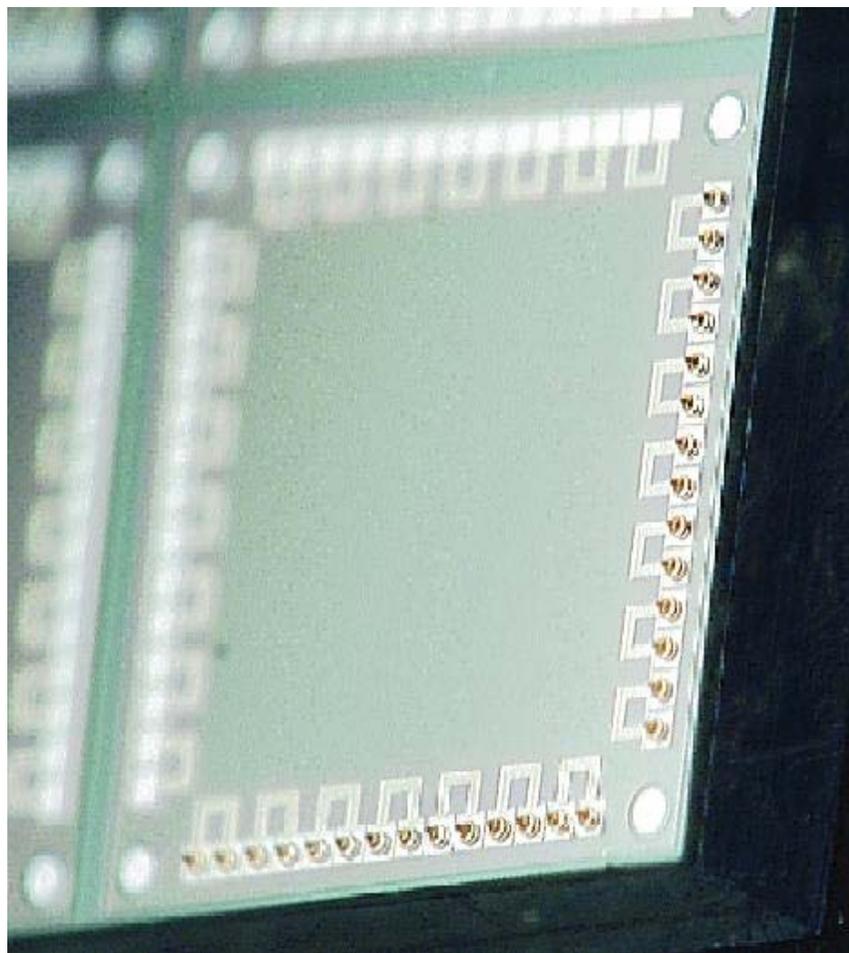


⑪ 洗浄

⑫ 検査

⑬ 出荷

## ■製品例②



## ■仕様

ワーク基板 :  $\phi 6'' \times 0.625\text{mmt}$  Siウエハー  
チップサイズ :  $10\text{mm角} \times 0.625\text{mmt}$   
配線材料 : AL-Si  $1\mu\text{m}$ 厚  
絶縁材料 :  $\text{SiO}_2$   $3000\text{\AA}$ 厚

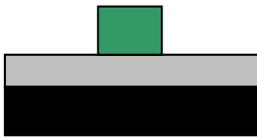
パッド寸法 :  $90\mu\text{m}$ 角  
パッシベーション開口寸法 :  $80\mu\text{m}$ 角  
パッド間ピッチ寸法 :  $100\mu\text{m}$   
バンプ : Auスタッドバンプ  
25 $\mu\text{m}$ 高さ(レベリング有り)

# ■試作加工品例(TEGチップ スタッドバンプ法)

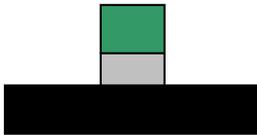
①AL-Si成膜



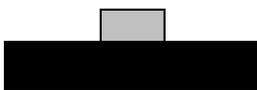
②レジストパターン形成



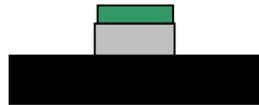
③AL-Siエッチング



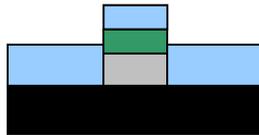
④レジスト剥離



⑤リフトオフ用レジストパターン



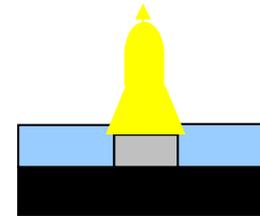
⑥パッシベーション(SiO2)膜形成



⑦レジスト除去(リフトオフ)



⑧スタッドバンプ形成



⑨検査

⑩出荷